

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-321567

(43)Date of publication of application : 03.12.1996

(51)Int.Cl.

H01L 23/12
H01L 21/52
H01L 23/29
H01L 23/31
H01L 25/00
H01L 25/04
H01L 25/18
H05K 1/03
H05K 3/46

(21)Application number : 08-062368

(71)Applicant : MATSUSHITA ELECTRON CORP

(22)Date of filing : 19.03.1996

(72)Inventor : YOSHIKAWA NORIYUKI
KANAZAWA KUNIHICO
MAKIOKA TOSHIFUMI
TATSUOKA KAZUKI

(30)Priority

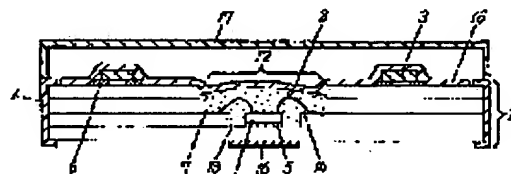
Priority number : 07 60760 Priority date : 20.03.1995 Priority country : JP

(54) HIGH FREQUENCY INTEGRATED CIRCUIT DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To obtain a high frequency integrated circuit device for mobile communication, e.g. portable telephone, which can be constituted even of a circuit consuming high power because of low thermal resistance while reducing the size and the labor required for manufacture.

CONSTITUTION: A chip device 3 is arranged on the surface of a multilayer ceramic board 2 having a recess 12 in which a semiconductor chip 1 is set. The wiring pattern of bias circuit and high frequency matching circuit requiring low resistance is widened and three-dimensional circuit structure is formed on the surface layer or inner layer of the multilayer ceramic board 2. In such high frequency integrated circuit device, the semiconductor chip 1 being set in the recess is connected with an intermediate plane in the recess through a connecting means, i.e., a wire, and a potting resin 7 for covering them is placed in the recess 12 without bulging outward from the surface of the multilayer ceramic board 2. A protective coat material 16 is applied onto the chip device 3.



LEGAL STATUS

[Date of request for examination]

29.06.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of

rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 8 - 3 2 1 5 6 7

(43) 公開日 平成8年(1996)12月3日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	23/12		H 0 1 L	23/12 N
	21/52			21/52 C
	23/29			25/00 B
	23/31	7511-4 E	H 0 5 K	1/03 6 1 0 G
	25/00	6921-4 E		3/46 Q
審査請求 未請求 請求項の数 1 8			O L	(全 1 2 頁) 最終頁に続く

(21) 出願番号 特願平8-62368

(22) 出願日 平成8年(1996)3月19日

(31) 優先権主張番号 特願平7-60760

(32) 優先日 平7(1995)3月20日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72) 発明者 ▲吉▼川 則之

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(72) 発明者 金澤 邦彦

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(72) 発明者 牧岡 敏史

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(74) 代理人 弁理士 滝本 智之 (外1名)

最終頁に続く

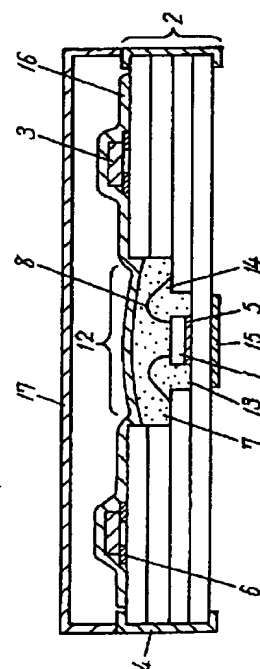
(54) 【発明の名称】 高周波集積回路装置およびその製造方法

(57) 【要約】

【課題】 小型で製造工数が削減できると同時に、低い熱抵抗により、大電力を消費する回路でも構成できる携帯電話等の移動体通信用の高周波集積回路装置を提供する。

【解決手段】 凹部 1 2 を有するセラミック多層基板 2 の表面上にチップ部品 3 を、凹部に半導体チップ 1 を配置し、低抵抗であることを要するバイアス回路や高周波整合回路の配線パターンが幅広化されてセラミック多層基板 2 の表層または内層に形成された立体的回路構成をとった高周波集積回路装置。凹部に配置された半導体チップ 1 と凹部の内部に設けられた凹部中間面 1 4 の間を接続手段であるワイヤーで接続され、それらを覆うポッティング樹脂 7 が凹部 1 2 中においてセラミック多層基板 2 の表面よりも外側に凸出しない構成の高周波集積回路装置。チップ部品 3 上には保護コート材 1 6 が施されている高周波集積回路装置。

1 半導体チップ
2 セラミック多層基板
3 チップ部品
4 端面電極
5 高抵抗半田材
6 低抵抗半田材
7 ポッティング樹脂
8 ポッティングワイヤー
9 凹部
10 凹部底面
11 凹部中間面
12 凹部側面
13 凹部底面
14 凹部中間面
15 凹部側面
16 保護コート材
17 金属ケース



【特許請求の範囲】

【請求項 1】 少なくとも 2 層以上からなる多層基板上に凹部を有しており、前記凹部中に半導体チップが搭載されているとともに、前記多層基板表面上の前記凹部以外の部分にチップ部品が搭載され、前記多層基板の表層と内層に回路配線層が形成されていることを特徴とする高周波集積回路装置。

【請求項 2】 凹部を有する少なくとも 2 層以上からなる多層基板がアルミナ（酸化アルミニウム）もしくは窒化アルミニウムのセラミックであることを特徴とする請求項 1 記載の高周波集積回路装置。

【請求項 3】 凹部を有する少なくとも 2 層以上からなる多層基板が多結晶酸化フェニレン（PPO）基板であることを特徴とする請求項 1 記載の高周波集積回路装置。

【請求項 4】 半導体チップが搭載された多結晶酸化フェニレン（PPO）基板に熱伝導体で充填された貫通孔が設けられていることを特徴とする請求項 3 記載の高周波集積回路装置。

【請求項 5】 凹部を有する少なくとも 2 層以上からなる多層基板のうち、半導体チップが搭載されている層の基板がアルミナ（酸化アルミニウム）もしくは窒化アルミニウムの高温焼成のセラミックであり、他の層の基板が低温焼成のガラスセラミックであることを特徴とする請求項 1 記載の高周波集積回路装置。

【請求項 6】 バイアス回路に用いるフィルター回路が多層基板の表層または内層に配置されるとともに、高周波整合回路が前記多層基板の内層または表層に配置され、800MHz以上の周波数で動作させていることを特徴とする請求項 1 または請求項 2 または請求項 3 または請求項 5 記載の高周波集積回路装置。

【請求項 7】 凹部を有する多層基板上の凹部が 2 段階以上の形状であり、前記凹部の底面に半導体チップが搭載され、かつ、前記凹部の中間面に設けられた回路配線層と前記半導体チップとがワイヤーによって結線されていることを特徴とする請求項 1 または請求項 2 または請求項 3 または請求項 5 または請求項 6 記載の高周波集積回路装置。

【請求項 8】 凹部を有する多層基板の凹部にフリップチップ・ボンディングされた半導体チップを有することを特徴とする請求項 1 または請求項 2 または請求項 3 または請求項 5 または請求項 6 記載の高周波集積回路装置。

【請求項 9】 凹部の底面に接続された半導体チップと前記凹部を有する多層基板に設けられた回路配線層との接続手段がワイヤー・ボンディングであり、前記ワイヤー・ボンディングのワイヤー高さの最高部が前記多層基板の最外表面よりも下側にあることを特徴とする請求項 7 記載の高周波集積回路装置。

【請求項 10】 半導体チップが搭載された凸部内が樹

脂系の材料によりポッティングされていることを特徴とする請求項 1 または請求項 2 または請求項 3 または請求項 5 または請求項 6 または請求項 7 または請求項 8 または請求項 9 記載の高周波集積回路装置。

【請求項 11】 多層基板上の表層の表面上に形成された回路配線層のうち、半田付け用ランド部分と、高周波整合回路の整合調整用マイクロストリップラインの部分以外およびチップ部品表面に樹脂系もしくはガラス系材料によるコート材が選択的に塗布されていることを特徴とする請求項 1 または請求項 2 または請求項 3 または請求項 5 または請求項 6 または請求項 7 または請求項 8 または請求項 9 または請求項 10 記載の高周波集積回路装置。

【請求項 12】 多層基板の表層の表面上に搭載されたチップ部品が樹脂系材料またはガラス系材料により厚くコーティングされ表面を平坦化していることを特徴とする請求項 1 または請求項 2 または請求項 3 または請求項 5 または請求項 6 または請求項 7 または請求項 8 または請求項 9 または請求項 10 記載の高周波集積回路装置。

【請求項 13】 少なくともチップ部品上に樹脂系材料またはガラス系材料によりコーティングされている表面に導電性材料が塗布されていることを特徴とする請求項 12 記載の高周波集積回路装置。

【請求項 14】 多層基板の表面側に設けられた凹部の底面に位置する前記多層基板の裏面にメッキ処理された金属パターンによる放熱用電極を有することを特徴とする請求項 1 または請求項 2 または請求項 3 または請求項 5 または請求項 6 または請求項 7 または請求項 8 または請求項 9 または請求項 10 または請求項 11 または請求項 12 または請求項 13 記載の高周波集積回路装置。

【請求項 15】 多層基板の表層もしくは内層に形成されたバイアス回路に用いるフィルター回路のストリップラインの幅が200μm以上であることを特徴とする請求項 6 または請求項 7 または請求項 8 または請求項 9 または請求項 10 または請求項 11 または請求項 12 または請求項 13 または請求項 14 記載の高周波集積回路装置。

【請求項 16】 多層基板に設けた凹部が、実装する機器の基板表面と対向する面側にあり、前記凹部に同凹部の深さに等しい厚みの半導体チップがフリップチップボンディングされていることを特徴とする請求項 1 または請求項 2 または請求項 3 または請求項 5 または請求項 6 または請求項 8 または請求項 10 または請求項 11 または請求項 12 または請求項 13 または請求項 14 または請求項 15 記載の高周波集積回路装置。

【請求項 17】 少なくとも 2 層以上からなる多層基板上に設けられた凹部に半導体チップを 215℃以上の融点の半田材にてダストボンドし、前記半導体チップと前記凹部の中間面とをワイヤーで接続した後、ダストボンドに用いた前記半田材以下の融点を持つクリーム半田を

半田マスクを用いて前記多層基板の表面の所定の場所に塗布し、その上にチップ部品をマウントしてリフローによる半田付けを行うことを特徴とする高周波集積回路装置の製造方法。

【請求項 18】 クリーム半田を半田マスクを用いて凹部を有する多層基板の表面の所定の場所に塗布し、その上にチップ部品をマウントしてリフローによる半田付けを行なった後に、前記凹部に半導体チップを窒化ホウ素もしくは銀を含む樹脂系のペーストを用いてダストボン

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、移動体通信などの無線システムに用いられる高周波集積回路装置およびその製造方法に関する。

【0002】

【従来の技術】近年、携帯電話、自動車電話等の移動体通信システムにおいては、小型でしかも低コストの電子回路部品が強く要望されている。その中であって従来、主に実用に供されている高周波集積回路装置は単層の基板の上にパッケージに封じられた半導体デバイスとチップコンデンサ等のチップ部品が搭載された構成をとっており、さらに放熱板や、リード電極を装着したものとなっている。しかしながら、このような構成においてはすべての回路素子を単層の基板の表面に実装しており、大きな基板面積が必要であるために大型化していた。また、構造が複雑化しているためにコスト低減も困難になっていた。一方、昨今では主にセラミックを用いた多層基板上に半導体チップを直接ボンディングし、かつ、チップコンデンサ等のチップ部品を実装した形態の高周波集積回路装置が登場し、その集積度の高さと高周波特性の良さ、及び様々な機能を搭載可能な適応性の高さから注目を集めている。しかしながら、このような多層基板を用いた構造においても基板に搭載する部品が半導体チップとチップコンデンサ等のチップ部品が共に基板の単一の平面に搭載されているために実装工程が複雑化した

り、半田材の選択が困難になるといった問題があった。また熱抵抗が低減できず、大電力用の回路を構成した場合、放熱性が不足するといった問題が生じていた。

【0003】以下、従来の第一の高周波集積回路装置の例を図 8 を用いて説明する。図 8 において 1 はトランジスタ等の半導体チップ、22 は高周波整合回路、24 は封止された半導体デバイス、25 は単層基板、26 は放熱板、27 は電極リード、28 は半導体デバイス搭載穴、29 はバイアス回路である。半導体チップ 1 は基板上にダイスボンドされ、半導体チップと内部電極リードとがワイヤーボンドで接続され、さらにパッケージ内に封止されて半導体デバイス 24 を構成している。この半

導体デバイス 24 はバイアス回路 29 及び高周波整合回路 22 を有する通常アルミナ（酸化アルミニウム）もしくは樹脂でできた単層基板 25 上に搭載されている。単層基板 25 の下には金属製のシールド板を兼ねる放熱板 26 が半田付けされており、半導体チップ 1 から発生した熱を放熱板 26 を通してその下に半田付けされる実装回路基板（図示せず）に放熱する。単層基板 25 は比較的熱伝導率の良いアルミナを用いても、約 18W/mK の小さい熱伝導率しか有しないため、放熱を良くするために基板を薄くする必要があった。このため多層基板化することができず、回路要素を平面的にしか配置できなかった。これが回路が大型化する原因になっていた。また、さらに良好な放熱が必要な場合には、単層基板 25 に半導体デバイス搭載穴 28 をあけて半導体デバイス 24 と放熱板 26 が直接接触する構成にする必要があり、コストアップの原因になっていた。また、電極リード 27 は単層基板 25 からリードを引き出して構成しており、大型化するとともに実装面積が拡大していた。

【0004】次に、従来の第二の高周波集積回路装置の例を図 9 を用いて説明する。図 9 において 1 はトランジスタ等の半導体チップ、2 はセラミック多層基板、3 は抵抗用コンデンサ等のチップ部品、4 は端面電極、5 は高融点半田材、6 は低融点半田材、7 はポッティング樹脂、8 はボンディングワイヤーである。

【0005】図 9 の構造の高周波集積回路装置の製造方法は、半導体チップ 1 を高融点半田材 5 にてセラミック多層基板 2 上にダイスボンドし、その後半導体チップ 1 とセラミック多層基板 2 の表面に形成された電極配線層とをワイヤーでボンドを行い、ポッティング樹脂 7 を半導体チップ 1 およびボンディングワイヤー 8 上に塗布し、次に、低融点半田材 6 であるクリーム半田を半田マスクを用いて表面に選択的に塗布後、チップ部品 3 をマウントして半田をリフローして完成させるという工程をとる。

【0006】このクリーム半田の塗布工程を図 10 を用いて説明する。9 は半田マスク、10 はスキージ、11 はエンボス部である。図 10 に示すように低融点半田材 6 であるクリーム半田は半田マスク 9 に設けられた穴にスキージ 10 で掃引されることにより充填され、半田マスク 9 を取り外すことにより所定の半田付けが必要なポイントに塗布されることになる。この半田マスク 9 は、ボンディングされている半導体チップ 1 とボンディングワイヤー 8 とを塗布したポッティング樹脂を避けるためにエンボス部 11 が設けられている。このエンボス部 11 の周辺にはスキージ 10 によるクリーム半田の塗布が不可能であるためにエンボス部 11 から離れたところにしかチップ部品 3 が実装できないので実装密度が低いという問題点があった。

【0007】また、半導体チップ 1 から発生した熱はすべてのセラミック多層基板 2 を通して下部に伝熱される

ため基板が厚いので熱抵抗が高く、大電力を消費する半導体チップ 1 は高温状態になってしまうという問題点があった。

【0008】また、当該高周波集積回路装置が表面実装部品として機器の基板に実装される際の半田付けのためのリフロー工程により、低融点半田材 6 が溶けてチップ部品が移動し、高周波特性が変化するという問題点があった。

【0009】また、ドレインバイアス回路として用いられるフィルター回路は良好な特性を得るために低抵抗である必要があるが、セラミック基板上の配線導体の抵抗率は $10\text{ m}\Omega/\square$ 程度であるため、太い配線パターンで形成すると、実装密度を低下させるという問題点があった。

【0010】また、通常、高周波集積回路装置はシールドケースを用いる必要があるが、これが製造工程を複雑にするという問題点があった。

【0011】

【発明が解決しようとする課題】従来の第一の構成の高周波集積回路装置では、実装密度が低く大型化していた。また構造が複雑で製造工程数が多くコストアップになっていた。また、従来の第二の構成の高周波集積回路装置では、製造工程が複雑であると同時に実装密度が低い。また熱抵抗が高く大電力用の集積回路の実現が困難であった。また、高周波集積回路装置を実装する機器に半田付けのリフローによる実装が困難であった。また、製造工程の簡素化が困難であった。

【0012】本発明は上記従来の問題点を解決するもので、製造工程が容易で実装密度が高く、熱抵抗が低く、半田付けリフローによる機器基板への実装が容易で、製造工程を簡素化できる高周波集積回路装置及びその製造方法を提供するものである。

【0013】

【課題を解決するための手段】この目的を達成するために本発明の高周波集積回路装置は下記のものである。

【0014】(1) 表面に凹部を有し、表層と内層に回路配線層が形成された多層基板を用い、その凹部中に半導体チップを搭載するとともに多層基板の表面上にチップ部品を搭載する。(2) 多層基板の材料としてアルミナもしくは窒化アルミニウムのセラミックを用いる。

(3) 多層基板の材料として多結晶酸化フェニレン (Poly-Phenylene Oxide: PPC) を用いる。(4) 半導体チップが搭載された PPC 基板に貫通孔を設ける。(5) 半導体チップが搭載された基板に高温焼成のセラミックを他の基板に低温焼成のガラスセラミックを用いる。(6) 表層または内層に 800 MHz 以上の周波数で動作するフィルター回路もしくは高周波整合回路を有する。(7) 多層基板の表面に 2 段階形状の凹部を設け、半導体チップが凹部底面に搭載され、半導体チップと凹部中間面に設けられた回路配線層とが

ワイヤーでボンドされる。(8) 半導体チップが凹部を有する多層基板の凹部底面にフリップチップボンディングされている。(9) 凹部の底面に配置された半導体チップと回路配線層がワイヤーでボンディングされ、ワイヤー高さの最高部が多層基板の最外面より下側にある。(10) 半導体チップ上に樹脂系の材料によりボンディングされている。(11) 多層基板の表面上の配線層のうち、半田付けを行うランド部分と、配線層の長さ調整により、高周波の整合調整を行うマイクロストリップライン部分以外の部分およびチップ部品に樹脂系もしくはガラス系のコート材が塗布されている。(12) セラミック多層基板の表面上に実装したチップ部品の上に樹脂系もしくはガラス系材料により厚く保護コートが行なわれ表面が平坦化されている。(13) さらにその保護コート材の上に金属膜が塗布されている。(14) 凹部裏面に放熱用電極を有する。(15) ドレインバイアス用フィルターまたはコレクタバイアス用フィルターのストリップラインの幅が $200\text{ }\mu\text{m}$ 以上の幅の広い配線パターンとして内層もしくは表層に設けられる。(16) セラミック多層基板に設けた凹部が実装する機器基板面と対向する面側に設けて、凹部の深さと同じ厚みの半導体チップが同凹部にフリップチップボンディングされているものである。

【0015】また、本発明の高周波集積回路装置の製造方法は下記のものである。(17) 凹部に半導体チップを 215°C 以上の融点の半田材にてダイスボンドし、ワイヤーボンドを行なった後、前記半田材以下の融点を持つクリーム半田でチップ部品をマウントして半田付けを行う。(18) クリーム半田を用いてチップ部品をマウントして半田付けを行なった後に、凹部に半導体チップを窒化ホウ素もしくは銀を含む樹脂系のペーストを用いてダイスボンドし、ワイヤーボンディングを行う。

【0016】

【発明の実施の形態】本発明の請求項 1 に記載の発明は、少なくとも 2 層以上からなる多層基板上に凹部を有しており、前記凹部中に半導体チップが搭載されているとともに、前記多層基板表面上の前記凹部以外の部分にチップ部品が搭載され、前記多層基板の表層と内層に回路配線層が形成されているものであり、これにより半導体チップの放熱をよくするとともに高周波集積回路装置を立体的な回路構成にすることができる。

【0017】請求項 2 に記載の発明は、凹部を有する少なくとも 2 層以上からなる多層基板がアルミナ (酸化アルミニウム) もしくは窒化アルミニウムのセラミックであるものであり、これにより、基板の熱伝導を良くし放熱作用を促進させる。

【0018】請求項 3 に記載の発明は、凹部を有する少なくとも 2 層以上からなる多層基板が多結晶酸化フェニレン (PPO) 基板であるものであり、これにより高周波における伝送損失を少なくすることができる。

【0019】請求項4に記載の発明は、半導体チップが搭載された多結晶酸化フェニレン（PPO）基板に熱伝導体で充填された貫通孔が設けられたものであり、これによりPPO基板が熱伝導率が低いものの放熱作用を促進させることができる。

【0020】請求項5に記載の発明は、凹部を有する少なくとも2層以上からなる多層基板のうち、半導体チップが搭載されている層の基板がアルミナ（酸化アルミニウム）もしくは窒化アルミニウムの高温焼成のセラミックであり、他の層の基板が低温焼成のガラスセラミックであるものであり、これにより半導体チップからの放熱をよくするとともに他の放熱をあまり必要としない基板には熱伝導率の低い安価な基板を用いることができる。

【0021】請求項6に記載の発明は、バイアス回路に用いるフィルター回路が多層基板の表層または内層に配置されるとともに、高周波整合回路が前記多層基板の内層または表層に配置され、800MHz以上の周波数で動作させているものであり、これによりフィルター回路と高周波整合回路が立体的に配置される。

【0022】請求項7に記載の発明は、凹部を有する多層基板上の凹部が2段階以上の形状であり、前記凹部の底面に半導体チップが搭載され、かつ、前記凹部の中間面に設けられた回路配線層と前記半導体チップとがワイヤーによって結線されているものであり、これにより半導体チップと基板に設けられた配線層とを同じ高さでワイヤーボンディングすることができるとともに高低差を少なくすることができる。

【0023】請求項8に記載の発明は、凹部を有する多層基板の凹部にフリップチップ・ボンディングされた半導体チップを有するものであり、これにより実装密度を高めるとともに工数が削減できる。

【0024】請求項9に記載の発明は、凹部の底面に接続された半導体チップと前記凹部を有する多層基板に設けられた回路配線層との接続手段がワイヤー・ボンディングであり、前記ワイヤー・ボンディングのワイヤー高さの最高部が前記多層基板の最外表面よりも下側にあるものであり、これによりワイヤーを含む半導体チップ全体を凹部内に納めることができる。

【0025】請求項10に記載の発明は、半導体チップが搭載された凸部内が樹脂系の材料によりポッティングされているものであり、これにより表面をエンボス部のない平坦なものにすることができる。

【0026】請求項11に記載の発明は、多層基板上の表層の表面上に形成された回路配線層のうち、半田付け用ランド部分と、高周波整合回路の整合調整用マイクロストリップラインの部分以外およびチップ部品に樹脂系もしくはガラス系材料によるコート材が選択的に塗布されているものであり、これにより配線層およびチップ部品の表面が保護されるとともに、当該高周波集積回路装置を半田リフローにより機器の基板に実装してもチップ

部品の半田溶融による位置ずれが起こらない。

【0027】請求項12に記載の発明は多層基板の表層の表面上に搭載されたチップ部品が樹脂系材料またはガラス系材料により厚くコーティングされ表面を平坦化しているものであり、これによりチップ部品が保護されるとともに、高周波集積回路装置全体の表面を平坦化することができる。

【0028】請求項13に記載の発明は、少なくともチップ部品上に樹脂系材料またはガラス系材料によりコーティングされている表面に導電性材料が塗布されているものであり、これによりシールド作用を行うことができ、シールドケースを不要とすることができる。

【0029】請求項14に記載の発明は、多層基板の表面側に設けられた凹部の底面に位置する前記多層基板の裏面にメッキ処理された金属パターンによる放熱用電極を有するものであり、これにより当該高周波集積回路を実装する機器の基板と大面積で半田付けができ、放熱効果を促進できる。

【0030】請求項15に記載の発明は、多層基板の表層もしくは内層に形成されたバイアス回路に用いるフィルター回路のストリップラインの幅が200 μ m以上であるものであり、これにより配線抵抗を0.4 Ω 以下に下げられる。

【0031】請求項16に記載の発明は、多層基板に設けた凹部が、実装する機器の基板表面と対向する面側にあり、前記凹部に同凹部の深さに等しい厚みの半導体チップがフリップチップボンディングされているものであり、これにより半導体チップから直接に実装する機器基板へ放熱することができる。

【0032】請求項17に記載の発明は、少なくとも2層以上からなる多層基板上に設けられた凹部に半導体チップを215 $^{\circ}$ C以上の融点の半田材にてダイスボンドし、前記半導体チップと前記凹部の中間面とをワイヤーで接続した後、ダイスボンドに用いた前記半田材以下の融点を持つクリーム半田を半田マスクを用いて前記多層基板の表面の所定の場所に塗布し、その上にチップ部品をマウントしてリフローによる半田付けを行うものであり、これにより後に半田付けするチップ部品を先に半田付けする半導体チップより低温で半田付けを行うことができるので、先に半田付けした半導体チップの位置ずれをおこすことがない。

【0033】請求項18に記載の発明は、クリーム半田を半田マスクを用いて凹部を有する多層基板の表面の所定の場所に塗布し、その上にチップ部品をマウントしてリフローによる半田付けを行なった後に、前記凹部に半導体チップを窒化ホウ素もしくは銀を含む樹脂系のペーストを用いてダイスボンドし、前記半導体チップと前記凹部の中間面とをワイヤーで接続するものであり、これにより後に装着する半導体チップをペーストで低温で接着させるために、半導体チップに与える熱的ストレスを

最小にするとともに先に半田付けされたチップ部品の位置ずれをおこすことがない。

【0034】以下に、本発明における高周波集積回路装置の実施の形態について、図面を参照しながら説明する。

【0035】（実施の形態 1）図 1 は本発明の第一の実施の形態における高周波集積回路装置の断面図である。また、図 2 は同じく本発明の第一の実施の形態における高周波集積回路装置の等価回路の概略図である。

【0036】図 1 において、1 はトランジスタ等の半導体チップ、2 は表層および内層に回路配線層が形成されたセラミック多層基板、3 はチップコンデンサ等のチップ部品、4 は端面電極、5 は高融点半田材、6 は低融点半田材、7 はポッティング樹脂、8 はボンディングワイヤー、12 は凹部、13 は凹部底面、14 は 2 段階の凹部に設けられた凹部中間面、15 は放熱用電極、16 は保護コート材、17 は金属ケースである。また、図 2 において、20 は電界効果トランジスタ（FET）、21 はドレインバイアス回路、22 は高周波整合回路、23 はゲートバイアス回路である。図 1 に示された半導体チップ 1 は図 2 に示された FET 20 に対応し、ここではガリウム砒素半導体チップを用いている。半導体チップ 1 は、凹部底面 13 に高融点半田材 5 によってボンディングされており、かつ凹部中間面 14 に設けられた回路配線層のワイヤーボンディングパッドとの間でワイヤーボンディングされている。ドレインバイアス回路 21

（またはバイポーラトランジスタの吸着とはコレクタバイアス回路）に用いるフィルター回路はセラミック多層基板 2 の表層もしくは内層に設けられているため、200 μm 以上の幅を有する太い配線パターンとすることができ、実装密度を向上しながら配線幅を広げられる。これにより配線抵抗はおおよそ 0.4 Ω 以下にできる。またドレインバイアス回路 21 は高周波用フィルターとしての役割を果たすように設計されているが、そのフィルターとしての特性は伝搬する高周波の波長に対する伝送線路の長さで決まっている。例えば、伝送線路長を基本周波数の波長の 1/4 にし、終端を高周波的に短絡すると、基本周波数に対するインピーダンスは無限大である一方で、2 倍の周波数に対してはショート状態のインピーダンスをもつ。したがって、このようなフィルターを構成する場合、基本波の波長を低く設定すると伝送線路長が長くなり、大型化するため実装密度が低下する。実際、比誘電率 10 のアルミナ基板を使用する場合には 800 MHz に対する 1/4 波長の伝送線路長は約 30 mm となり、伝送線路幅を 200 μm 以上確保しながら、かつ、集積回路の体積を 0.5 cc 以下にすることを想定すると、基本周波数はこの 800 MHz がほぼ下限となる。このとき同時にフィルターとしての損失を 1 dB 以下の低損失に抑えることができる。セラミック多層基板 2 の表層にはマイクロストリップライン（特性インピーダン

スに整合された配線層）とチップ部品 3 からなる高周波整合回路 22 が設けられている。ボンディングワイヤー 8 の最高部はセラミック多層基板 2 の表面よりも十分下にあり、かつ、半導体チップ 1 とボンディングワイヤー 8 全体をも包含するポッティング樹脂 7 もセラミック多層基板 2 の表面よりも下にある構造になっていて表面を平坦化させている。この構造ゆえにチップ部品 3 を半田付けする低融点半田材 6 であるクリーム半田は平坦な半田マスクを用いて塗布することができ、その結果、半導体チップ 1 の近傍にもチップ部品 3 を搭載することができ、実装密度が向上することによって高周波集積回路の外形を小さくすることが可能となっている。この結果、高周波集積回路装置の容積は、従来の単層の基板を用いた場合 0.4 cc であったものが、0.2 cc 以下にでき、1/2 以下の体積にすることができた。さらにチップ部品が装着されたセラミック多層基板 2 の表層（ただし半田付け用ランド部分と整合調整用マイクロストリップラインの部分以外を除く。）およびポッティング樹脂 7 で充填された凹部表面に保護コート材 16 が形成されている。また、凹部底面 13 となるセラミックの多層基板 2 の裏面に放熱用電極 15 が形成されている。

【0037】次に、本発明の第一の実施の形態における構造を得るその製造工程を説明する。まず 215℃ 以上の融点を有する半田材によって半導体チップ 1 をセラミック多層基板 2 に設けられた凹部 12 の底面 13 にダイスボンドする。なお、セラミック多層基板 2 の表層と内層には回路配線層が形成され、セラミック多層基板 2 の凹部 12 が形成されている面とは反対面にメッキにより放熱用電極 15 が形成されている。ダイスボンドに適した金錫系の半田材においてその融点の最低点がおおよそ 215℃ 近傍にあるものを用いる。次に、半導体チップ 1 と凹部中間面 14 に形成された配線層との間にワイヤー 8 でボンドを行ない、続いてポッティング樹脂 7 を用いて半導体チップ 1 を封止する。そして、215℃ 以下の融点を有する低融点半田材 6 をスクリーン印刷し、チップ部品 3 をマウントしたのち、低融点半田材 6 をリフローしてチップ部品 3 を固定する。さらに表面に保護コート材 16 を塗布し、金属ケース 17 のキャップをつけるという工程をとっている。このような工程をとることにより、ワイヤーボンディング時の温度を 200℃ 近辺まで上昇でき、超音波を加えなくとも良好なワイヤーの引っ張り強度を得ることができるとともに、100 μm 以下程度のワイヤーボンドのピッチが実現できる。

【0038】一方、以下のような本発明の第一の実施の形態の構造を得る第二の製造工程も可能である。それは、まず、表層と内層に配線層が形成され、凹部 12 が形成されている面とは反対面にメッキにより放熱用電極 15 が形成されたセラミック多層基板 2 を用意する。次に、低融点半田材 6 のクリーム半田をセラミック多層基板 2 の表面にスクリーン印刷し、チップ部品 3 をマウン

トしたのち、低融点半田材6をリフローして、チップ部品3を固定する。次に、半導体チップ1を、 $2.5 \times 10^{-3} \text{ cal/cm} \cdot \text{sec} \cdot ^\circ\text{C}$ 以上の熱伝導率を有する窒化ホウ素もしくは銀を含む樹脂系のペーストを用いて凹部底面13にダイスボンドし、半導体チップ1と凹部中間面14に形成された配線層との間にワイヤーでボンドする。さらにポッティング樹脂7を用いて半導体チップ1を封止し、保護コート材16を塗布し、金属ケース17のキャップをつけるというものである。なお半導体チップ1とセラミック多層基板2の間のペースト材厚を5 μm 以下とすることにより、500mWクラス以上のパワーアンプに適用できる低熱抵抗を実現できる。このような第二の製造工程によれば、半導体チップ1に与える熱的ストレスを最小にすることができる。

【0039】高周波集積回路装置の第一の実施の形態においては凹部底面13に半導体チップ1がダイスボンドされていることにより、本発明によるハイブリッド高周波集積回路装置が機器の基板に実装された場合、半導体チップ1と機器の基板の間に存在するセラミック多層基板2の厚さが薄くなるため層厚減少分だけ熱抵抗が低下し、良好な放熱性を確保することができる。図1においては凹部底面13下のセラミック多層基板2の層厚はセラミック多層基板2の全体厚の1/4になっており、セラミック多層基板2の熱抵抗も1/4に低減でき、500mW以上の大消費電力の電力増幅回路を形成できる。また、図1では、半導体チップ1の直下に位置するセラミック多層基板2の裏面に放熱用電極15が構成されており、かつこの放熱用電極15が半田付けが容易なように半田メッキ等のメッキが施されているため、半導体チップ1より発生した熱を良好に実装する機器の基板に放熱することができる。また、セラミック多層基板2の材料をアルミナとしたが、窒化アルミニウムとすることにより、窒化アルミニウムの良好な150mW/mKというアルミナの約9倍の熱伝導率により、セラミック多層基板2の熱抵抗を1/9にすることができ、大電力デバイスにも対応可能となる。

【0040】次に、セラミック多層基板2の表面に半田付けされたチップ部品3上には樹脂系材料またはガラス系材料により保護コートがなされている。これは高周波損失の少ない材料によってなされているため損失が少なくなるとともに、コーティングされているため当該ハイブリッド高周波集積回路装置を実装する機器の基板への半田付けリフロー時にいったん半田付けしたチップ部品3の半田が溶けて位置ずれを起こし高周波特性が変化することを避けることができる。このため機器の基板への半田付けリフロー条件を比較的広い範囲で選択することができる。そして、このセラミック多層基板2には、パッケージとなる金属ケース17が付けられて、電波遮蔽の実用に供される。

【0041】（実施の形態2）次に、本発明の高周波集

積回路装置の第二の実施の形態について図3に示した断面図を参照して説明する。

【0042】図3において図1に示した第一の実施の形態と異なる点は、多層基板として高周波に対して伝送損失が少ない多結晶酸化フェニレン（PPO）基板2aを用いていることである。ただしPPO基板2aはセラミック基板に比べて熱伝導率が低いため、半導体チップ1が装着された基板に熱伝導体で充填された貫通孔31が設けられている。これによりPPO基板による放熱効果を高め、高出力パワーアンプ等への適用を可能にしている。

【0043】なお、半導体チップ1はパッケージかまたはチップキャリア等にマウントされている場合もある。

【0044】（実施の形態3）次に、本発明の高周波集積回路装置の第三の実施の形態について図4に示した断面図を参照して説明する。

【0045】図4において図1に示した第一の実施の形態と異なる点は、多層基板として、半導体チップ1が搭載されている層の基板に酸化アルミニウムもしくは窒化アルミニウム等の高温焼成のセラミック基板2bを用い、他の層の基板に低温焼成のガラスセラミック基板2cを用いていることである。これにより半導体チップからの放熱性を確保するとともに安価なガラスセラミックを用いることでコストの低減を図ることができる。

【0046】（実施の形態4）次に本発明の高周波集積回路装置の第四の実施の形態について図面を参照しながら説明する。図5は本発明の第四の実施の形態における高周波集積回路装置の断面図である。図5において18は金属塗布膜である。この構造の特徴は、保護コート材16を0.5mm以上に厚く形成して表面が平坦化され、その上に金属塗布膜18が形成されていることである。この金属塗布膜18が電波をシールドする金属ケースの役割をはたしており、これにより図1に示したような金属ケースを装着する工程を削減できる。

【0047】（実施の形態5）図6は本発明の高周波集積回路装置の第五の実施の形態における断面図である。

【0048】図6において19は半導体チップ1をフリップチップボンディングにするためのバンプである。この構造の特徴は、凹部12を1段階の凹部にし、配線層が形成された凹部底面13に半導体チップ1がバンプ19により、フリップチップ実装されていることである。本構造により、ワイヤーボンディングの工程を削減できると同時に、凹部12の占める面積を小さくすることができ、実装密度をワイヤーボンディングするときよりもさらに高くすることができる。また、この構造によれば、周波数が1.5GHz以上において、ポッティング樹脂を用いる必要がないためポッティング樹脂による損失や、ワイヤーが無い場合ソースワイヤーのインダクタンスによる利得低下を回避できる。また、半導体チップ1の素子が形成されている面を凹部底面側に接続するた

め、パンプ 19 の接続面積を半導体チップ 1 の面積の 15% 以上に大きくとることにより、ワイヤーボンディング方式よりも半導体チップ 1 の厚み分の熱抵抗を回避でき、良好な放熱性を得ることができる。

【0049】（実施の形態 6）図 7 は本発明の高周波集積回路装置の第六の実施の形態における断面図である。

【0050】図 7 は図 6 の構成と同様に、フリップチップ実装を行なっているがこの構造の特徴は、凹部 12 がチップ部品 3 が配置されたセラミック多層基板 2 の表面とは反対側の裏面側に形成され、凹部 12 内に半導体チップ 1 が配置された構成としたものである。これによって実装密度をさらに高めることができる。さらに、この場合においては凹部 12 の深さと半導体チップ 1 の厚みを同じにすることにより機器の基板 30 への実装時、半導体チップ 1 から直接機器の基板 30 へ放熱することが可能となる。これによってセラミック多層基板 2 の材質が通常のアルミナ等の物質でも良好な放熱性を確保することができる。

【0051】

【発明の効果】本発明による高周波集積回路装置は低抵抗のバイアス用フィルター回路が内層（もしくは表層）に設けられ、高周波整合回路が表層（もしくは内層）に設けられた多層基板による立体的回路構成をとっており、実装密度を高くすることができる。また、本発明は凹部を有する多層基板を用い、半導体チップを凹部中に配置することにより、チップ部品を多層基板に実装する際、平面の半田マスクを用いてクリーム半田の塗布が可能となり、半導体チップとチップ部品の間隔を短縮することができ、実装密度を向上させることができる。この結果、従来の単層の基板を用いた高周波集積回路装置と比較して、その体積は 1/2 以下にできる。また、半導体チップを凹部底面に配置することにより半導体チップを搭載した基板厚を薄くすることができるので熱抵抗が低減でき、大消費電力の電力増幅回路ができる。また多層基板を熱伝導率の高いセラミックを用いることにより大電力の半導体装置が形成できる。また多層基板として PPO 基板を用いることにより伝送損失を少なくし利得等の物性を向上させることができる。また多層基板として高温焼成のセラミックと低温焼成のガラスセラミックを用いることによりコストの低減を図ることができる。また、凹部底面に位置する多層基板の裏面に放熱用電極を設けることにより、実装する機器の基板と大面積で半田付けでき放熱効果をさらに高めることができる。また、200 μ m 以上の幅を有し、0.4 Ω 以下の抵抗を有するバイアス回路に用いるフィルター回路を表層または内層に構成でき、実装密度を単層平板の基板を用いた場合に比べて 2 倍以上にできる。また、ワイヤーボンディングは凹部中間面と半導体チップの間で行われるので高低差を少なくすることができるため、表面を平坦化することができる。また、フリップチップボンディングを

行うことにより、ワイヤーボンディング工程等の工程を削減できるとともに実装密度を向上させることができる。セラミック多層配線基板上に搭載されたチップ部品上に保護コートを行うことにより、当該高周波集積回路装置を半田リフローにより機器の基板に実装してもチップ部品の半田溶融による位置ずれが起こらず、高周波特性の変化を防止することができる。さらに、保護コートされた表面上に金属塗布膜を形成することにより、シールドケース装着の工程を不要とすることができる。

【0052】また、本発明の高周波集積回路装置の製造方法によれば、半導体チップとチップ部品の装着を前後どちらにしても、あとの部品を装着したときに、先に装着した部品が半田溶融により位置ずれをおこすことなく、高周波特性の変化を防止することができる。

【図面の簡単な説明】

【図 1】本発明の第一の実施の形態における高周波集積回路装置の構成を示す断面図

【図 2】本発明の第一の実施の形態における高周波集積回路装置の概略の等価回路図

【図 3】本発明の第二の実施の形態における高周波集積回路装置の構成を示す断面図

【図 4】本発明の第三の実施の形態における高周波集積回路装置の構成を示す断面図

【図 5】本発明の第四の実施の形態における高周波集積回路装置の構成を示す断面図

【図 6】本発明の第五の実施の形態における高周波集積回路装置の構成を示す断面図

【図 7】本発明の第六の実施の形態における高周波集積回路装置の構成を示す断面図

【図 8】従来の第一の高周波集積回路装置の構成例を示す斜視図

【図 9】従来の第二の高周波集積回路装置の構成例を示す断面図

【図 10】従来の第二の高周波集積回路装置のクリーム半田の塗布工程を示す断面図

【符号の説明】

- 1 半導体チップ
- 2 セラミック多層基板
- 2a PPO 多層基板
- 2b セラミック基板
- 2c ガラスセラミック多層基板
- 3 チップ部品
- 4 端面電極
- 5 高融点半田材
- 6 低融点半田材
- 7 ポッティング樹脂
- 8 ボンディングワイヤー
- 9 半田マスク
- 10 スキージ
- 11 エンボス部

15

16

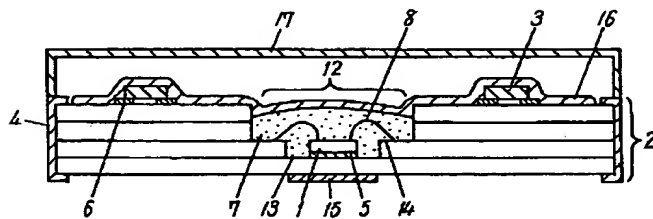
- 1 2 凹部
- 1 3 凹部底面
- 1 4 凹部中間面
- 1 5 放熱用電極
- 1 6 保護コート材
- 1 7 金属ケース
- 1 8 金属塗布膜
- 1 9 パンプ
- 2 0 F E T
- 2 1 ドレインバイアス回路

- 2 2 高周波整合回路
- 2 3 ゲートバイアス回路
- 2 4 半導体デバイス
- 2 5 単層基板
- 2 6 放熱板
- 2 7 電極リード
- 2 8 半導体デバイス搭載穴
- 2 9 バイアス回路
- 3 0 機器の基板
- 10 3 1 貫通孔

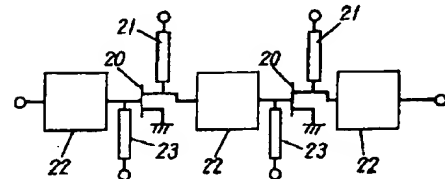
【図 1】

【図 2】

- 1 半導体チップ
- 2 セラミック多層基板
- 3 チップ部品
- 4 端面電極
- 5 高融点半田材
- 6 低融点半田材
- 7 ホッティング樹脂
- 8 ホンダングワイヤー
- 12 凹部
- 13 凹部底面
- 14 凹部中間面
- 15 放熱用電極
- 16 保護コート材
- 17 金属ケース

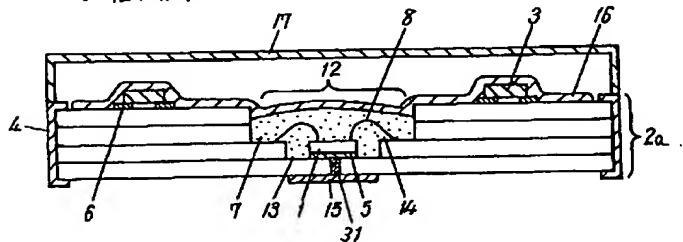


- 20 F E T
- 21 ドレインバイアス回路
- 22 高周波整合回路
- 23 ゲートバイアス回路



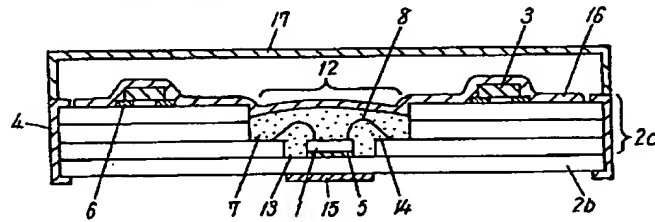
【図 3】

- 1 半導体チップ
- 2a PPO多層基板
- 3 チップ部品
- 4 端面電極
- 5 高融点半田材
- 6 低融点半田材
- 7 ホッティング樹脂
- 8 ホンダングワイヤー
- 12 凹部
- 13 凹部底面
- 14 凹部中間面
- 15 放熱用電極
- 16 保護コート材
- 17 金属ケース
- 31 貫通孔



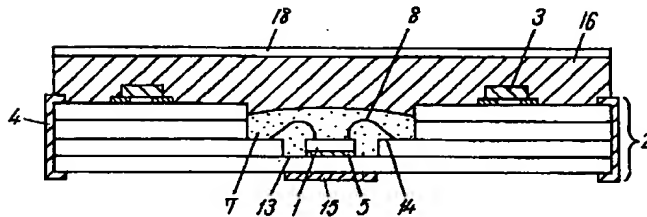
【図 4】

- | | | | |
|-----------------|------------|--------------|-----------|
| 1 半導体チップ | 2b セラミック基板 | 7 ボッティング樹脂 | 14 凹部中間面 |
| 2c ガラスセラミック多層基板 | 3 チップ部品 | 8 ボンディングワイヤー | 15 放熱用電極 |
| 4 端面電極 | 5 高融点半田材 | 12 凹部 | 16 保護コート材 |
| 6 低融点半田材 | | 13 凹部底面 | 17 金属ケース |



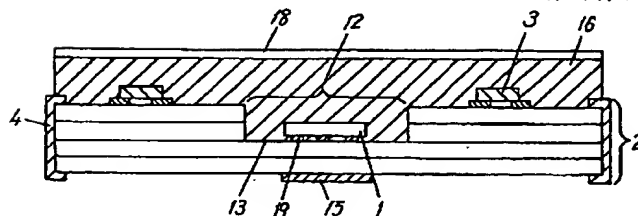
【図 5】

- | | | |
|-------------|--------------|-----------|
| 1 半導体チップ | 5 高融点半田材 | 14 凹部中間面 |
| 2 セラミック多層基板 | 7 ボッティング樹脂 | 15 放熱用電極 |
| 3 チップ部品 | 8 ボンディングワイヤー | 16 保護コート材 |
| 4 端面電極 | 13 凹部底面 | 18 金属塗布膜 |



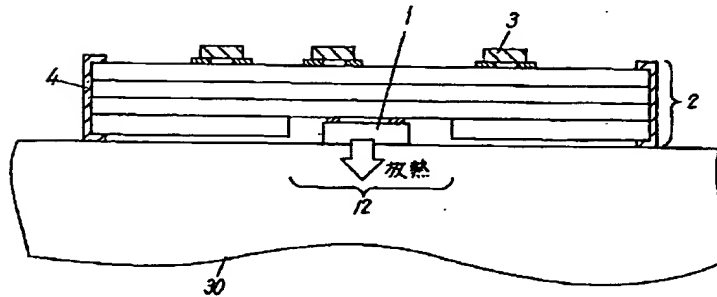
【図 6】

- | | |
|-------------|-----------|
| 1 半導体チップ | 12 凹部 |
| 2 セラミック多層基板 | 13 凹部底面 |
| 3 チップ部品 | 15 放熱用電極 |
| 4 端面電極 | 16 保護コート材 |
| | 18 金属塗布膜 |
| | 19 バンプ |

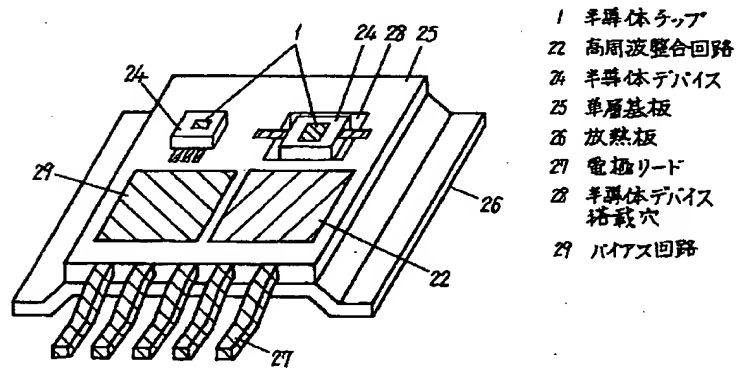


【図7】

- | | |
|-------------|----------|
| 1 半導体チップ | 4 端面電極 |
| 2 セラミック多層基板 | 12 凹部 |
| 3 チップ部品 | 30 機器の基板 |

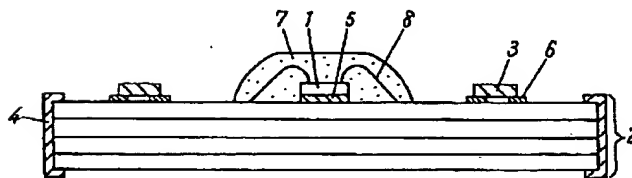


【図8】



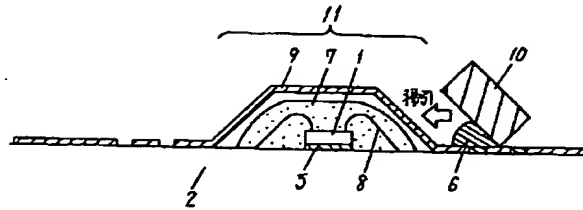
【図9】

- | | |
|-------------|--------------|
| 1 半導体チップ | 5 高融点半田材 |
| 2 セラミック多層基板 | 6 低融点半田材 |
| 3 チップ部品 | 7 ボンディング樹脂 |
| 4 端面電極 | 8 ボンディングワイヤー |



【図 10】

- | | |
|-------------|--------------|
| 1 半導体チップ | 7 ポッティング樹脂 |
| 2 セラミック多層基板 | 8 ボンディングワイヤー |
| 5 高融点半田材 | 9 半田マスク |
| 6 低融点半田材 | 10 スキージ |
| | 11 エンボス部 |



フロントページの続き

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H O 1 L 25/04		6921-4 E	H O 5 K 3/46	T
25/18			H O 1 L 23/30	B
H O 5 K 1/03	6 1 0		25/04	Z
3/46				

(72) 発明者 立岡 一樹
 大阪府高槻市幸町 1 番 1 号 松下電子工業
 株式会社内